

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-092829

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H02M 3/28

(21)Application number : 10-252848

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 07.09.1998

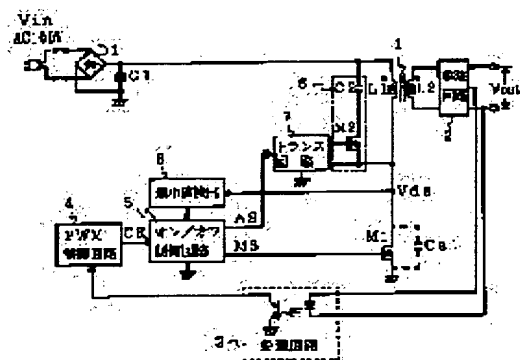
(72)Inventor : KUDO RYOTARO
SAGA RYOHEI
YOKOTA KENICHI
MITA YOSHIHISA

(54) SWITCHING POWER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce switching loss in a switching power circuit, by determining the on-timing of a switching element based on the detection by a timing detecting means each time the operation of an active clamp circuit ends.

SOLUTION: A capacitive element C1 is connected with the primary winding L1 of a transformer 1 through a MOS transistor M2, and an active clamp circuit 6 intervenes in the primary winding L1 of the transformer 1 to cause it to operate a kind of voltage clamp only when the transistor M2 is turned on by a clamp control signal AS from an on/off control circuit 5. Each time the voltage clamp operation ends, it is detected when the drain voltage Vds of a MOS transistor M1 is minimized, and based on the detected timing, control is exercised to determine the on-timing of the MOS transistor M1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-92829
(P2000-92829A)

(43)公開日 平成12年3月31日(2000.3.31)

(51) Int.Cl.⁷
H 0 2 M 3/28

識別記号

F I
H O 2 M 3/28

テーマコード(参考)
 H 5H730
 Q

審査請求 未請求 請求項の数4 OL (全 8 頁)

(21)出願番号 特願平10-252848

(22) 出願日 平成10年9月7日(1998.9.7)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233527
日立東部セミコンダクタ株式会社
群馬県高崎市西横手町1番地1

(72)発明者 工藤 良太郎
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

(74)代理人 100085811
弁理士 大目方 富雄

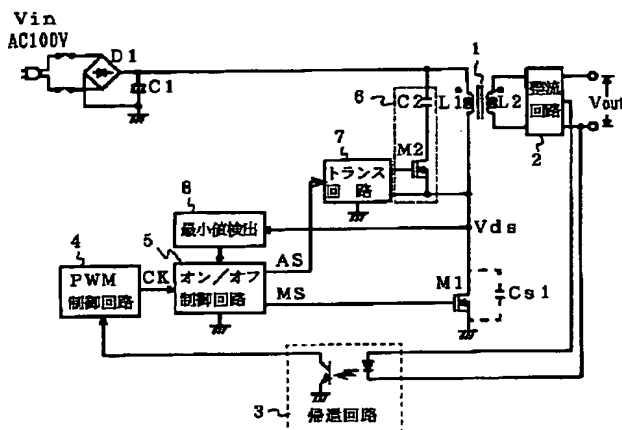
最終頁に続く

(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】 スイッチング電源回路でのスイッチング損失を、素子の特性バラツキや動作温度等の変動要因に影響されことなく確実に再現性良く低減させる。

【解決手段】 トランスの次巻線電流をスイッチング素子で周期的にオン／オフ制御することによりそのトランスの二次巻線から出力電流を得るスイッチング電源回路にあって、上記スイッチング素子のオフ期間ごとに動作して上記一次巻線の電圧クランプを行わせるとともに、上記スイッチング素子の印加電圧が最小となるタイミングを検出し、この検出したタイミングに基づいて上記スイッチング素子のオンタイミングを定める。



【特許請求の範囲】

【請求項 1】 トランスの一次巻線電流をスイッチング素子で周期的にオン／オフ制御することによりそのトランスの二次巻線から出力電流を得るスイッチング電源回路であって、上記スイッチング素子のオフ期間ごとに動作して上記一次巻線の電圧クランプを行うアクティブクランプ回路と、上記スイッチング素子の印加電圧が最小となるタイミングを検出するタイミング検出手段と、上記アクティブクランプ回路の動作終了ごとに上記タイミング検出手段の検出に基づいて上記スイッチング素子のオンタイミングを定める制御手段を備えたことを特徴とするスイッチング電源回路。

【請求項 2】 スwitchング素子への印加電圧の変化を検出する微分回路と、この微分回路の出力が所定レベルを越える瞬間を検出するレベル検出回路により、スイッチング素子の印加電圧が最小となるタイミングを検出するタイミング検出手段を構成したことを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 3】 トランスの一次巻線電流を制御するスイッチング素子として MOS トランジスタを用いたことを特徴とする請求項 1 または 2 に記載のスイッチング電源回路。

【請求項 4】 トランスの一次巻線に MOS トランジスタを介して容量素子を接続することにより、その MOS トランジスタがオン状態のときだけ選択的に動作するアクティブクランプ回路を構成したことを特徴とする請求項 1 から 3 のいずれかに記載のスイッチング電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スイッチング電源回路、さらにはアクティブクランプ回路を備えたスイッチング電源回路に適用して有効な技術に関するものである。

【0002】

【従来の技術】 スwitchング電源回路は、トランスの一次巻線電流をスイッチング素子で周期的にオン／オフ制御することによりそのトランスの二次巻線から出力電流をとりだすものであって、そのスイッチング素子のオン／オフ時間の比いわゆるデューティで出力電圧を可変制御することができる。

【0003】 このスイッチング電源回路では、スイッチング素子のオン／オフ切替時に生じるスイッチング損失が問題となる。この損失を少なくするにはスイッチング素子の動作速度、とくにそのスイッチング素子が完全オフ状態から完全オン状態（飽和状態）に移行するまでの切替時間を短くすることが有効であるが、これには限度がある。仮に、その切替時間を大幅に短くし得たとしても、今度は、通電電流の急激な立ち上がりに伴う過渡現

象によるノイズの増大という問題が新たに生じる場合がある。

【0004】 そこで、上記スイッチング損失を少なくするために、図 5 に示すようなアクティブクランプ方式のスイッチング電源回路が開発されている。

【0005】 図 5 は、本発明者が本発明に先立って検討したスイッチング電源回路の概略構成を示す。

【0006】 同図に示すスイッチング電源回路は、アクティブクランプ方式（あるいはアクティブトランスクランプ／リセット方式）と呼ばれるものであって、トランス 1、整流回路 2、帰還回路 3、PWM 制御回路 4、オン／オフ制御回路 5、アクティブクランプ回路 6、トランス回路 7、半固定遅延回路 8、0、パワー MOS トランジスタ M1 などにより構成されている。

【0007】 同図において、トランス 1 の一次巻線 L1 には、交流入力電源 V_{in} （AC100V）を全波整流器 D1 と容量素子（たとえば電解コンデンサ）C1 で整流および平滑して得られる直流電源が入力される。

【0008】 トランス 1 の一次巻線電流はパワー MOS トランジスタ M1 により周期的にオン／オフ制御される。これにより、そのトランス 1 の二次巻線 L2 には交流の二次起電力が現れる。この二次起電力は整流回路 2 で直流変換（整流および平滑）されて外部へ出力される。このとき、その出力電圧 V_{out} はフォトカプラーなどを用いた帰還回路 3 を介して PWM 制御回路 4 にフィードバックされる。

【0009】 PWM 制御回路 4 は、オン／オフ制御回路 5 を介してパワー MOS トランジスタ M1 をオン／オフ制御するためのパルス信号 CK を生成するとともに、上記出力電圧 V_{out} が所定の目標値となるようにそのパルス信号 CK のデューティ比をフィードバック制御する。

【0010】 オン／オフ制御回路 5 は、上記パルス信号 CK に基づいて、パワー MOS トランジスタ M1 のオン／オフ制御信号 MS と、後述するクランプ制御信号 AS を生成する。この場合、オン／オフ制御信号 MS は MOS トランジスタ M1 のゲートに直接伝達され、クランプ制御信号 AS はトランス回路 7 を介してアクティブクランプ回路 6 へ伝達される。

【0011】 アクティブクランプ回路 6 は、トランス 1 の一次巻線 L1 に MOS トランジスタ M2 を介して容量素子 C1 を接続させたものであり、上記クランプ制御信号 AS によってトランジスタ M2 がオンさせられたときだけ、一次巻線 L1 に介入して一種の電圧クランプ動作（いわゆるトランス 1 のリセット）を行う。

【0012】 この場合、クランプ制御信号 AS は、パワー MOS トランジスタ M1 のオン／オフ制御信号 MS に対して、一定のオフセット期間（時間差）を持つように生成される。つまり、両者（M1 と M2）が共にオフとなるオフセット期間（ t_r , t_s ）が置かれる。このオ

フセット期間のうち、クランプ制御信号ASが非能動レベル（ロウ）に立ち下がってオン／オフ制御信号ASが能動レベル（ハイ）立ち上がるまでの期間、すなわちクランプの解除から一次巻線電流の再通電開始までのオン時オフセット期間（ t_s ）については、半固定遅延回路80により設定される半固定遅延回路80は外づけ抵抗 R_x をパラメータとする遅延要素を有し、その外づけ抵抗 R_x の抵抗値を選ぶことにより任意のオン時オフセット期間 t_s を設定することができる。

【0013】図6は、図5に示した回路の要部における動作波形チャートを示す。

【0014】図5および図6において、一次巻線L1に直列に介在するMOSトランジスタM1と、アクティブクランプ回路6のMOSトランジスタM2は、両者（M1とM2）が共にオフとなるオフセット期間 t_r 、 t_s を置きながら、相補的にオン／オフ制御される。

【0015】M2のオフによりアクティブクランプ回路6のクランプ動作が停止すると、MOSトランジスタM1のドレイン電圧 V_{ds} は、主に一次巻線L1のインダクタンスとMOSトランジスタM1のドレイン・ソース間寄生容量 C_s により定められる共振周波数で振動する。図中に波線で示す波形はその共振が持続した場合の波形を示す。

【0016】ここで、クランプ動作が解除されてからMOSトランジスタM1がオンさせられるまでのオン時オフセット時間 t_s は、そのクランプ動作が解除されて生じる電圧振動の波形が最下点にくるまでの時間と一致するように、外づけ抵抗 R_x によりあらかじめ設定されている。

【0017】これにより、そのMOSトランジスタM1は、共振により変動するドレイン電圧 V_{ds} が最小となるタイミングでオン動作することになり、この結果、そのオン動作に伴うスイッチング損失を小さく抑えることができる。 d_v はそのトランジスタM1のオン動作時のドレイン電圧を示す。

【0018】なお、この種のスイッチング電源回路については、たとえばUnitrode Integrated Circuits社発行「Power Supply Components」3-6～3-9に記載されている。

【0019】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0020】すなわち、上述したスイッチング電源回路では、クランプ動作解除後のMOSトランジスタM1のオンタイミングを外づけ抵抗 R_x によってあらかじめ設定しているが、そのクランプ動作解除後に現れる電圧振動の共振周波数は、必ずしも一定ではない。たとえば、同タイプのトランスやスイッチング素子を使用する場合でも、素子ごとの特性バラツキや動作温度などの諸要因に

より上記共振周波数は変動する。

【0021】この共振周波数が当初の見込みから外れた場合、図7に示すように、MOSトランジスタM1は、ドレイン電圧 V_{ds} が最小となる当初の見込みポイントから外れたところでオン動作するようになって、そのオン動作に伴うスイッチング損失が増大してしまう。

【0022】したがって、スイッチング損失を低減させるためには、素子ごとの特性バラツキも考慮したタイミング設定が必要になるが、このためには電源回路1台ごとに面倒な調整作業が必要となる。しかし、それを行ったとしても、動作温度などの変動要因は残る。結局、上述した回路では、スイッチング損失を確実にかつ再現性良く低減させることが困難であった。

【0023】本発明の目的は、スイッチング電源回路でのスイッチング損失を、素子の特性バラツキや動作温度等の変動要因に影響されることなく確実にかつ再現性良く低減させる、という技術を提供することにある。

【0024】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0025】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0026】すなわち、第1の手段は、トランスの次巻線電流をスイッチング素子で周期的にオン／オフ制御することによりそのトランスの二次巻線から出力電流を得るスイッチング電源回路にあって、上記スイッチング素子のオフ期間ごとに動作して上記一次巻線の電圧クランプを行うアクティブクランプ回路と、上記スイッチング素子の印加電圧が最小となるタイミングを検出するタイミング検出手段と、上記アクティブクランプ回路の動作終了ごとに上記タイミング検出手段の検出に基づいて上記スイッチング素子のオンタイミングを定める制御手段を備えるというものである（第1発明）。

【0027】第2の手段は、スイッチング素子への印加電圧の変化を検出する微分回路と、この微分回路の出力が所定レベルを越える瞬間を検出するレベル検出回路により、スイッチング素子の印加電圧が最小となるタイミングを検出するタイミング検出手段を構成するというものである（第2発明）。

【0028】第3の手段は、トランスの一次巻線電流を制御するスイッチング素子としてMOSトランジスタを用いるというものである（第3発明）。

【0029】第4の手段は、トランスの一次巻線にMOSトランジスタを介して容量素子を接続することにより、そのMOSトランジスタがオン状態のときだけ選択的に動作するアクティブクランプ回路を構成するというものである（第4発明）。

【0030】上述した手段によれば、トランスの一次巻

線電流をオン／オフ制御するスイッチング素子のオンタイミングは、アクティブクランプ回路の動作終了ごとに自動的に最適設定される。

【0031】これにより、スイッチング電源回路でのスイッチング損失を、素子の特性バラツキや動作温度等の変動要因に影響されることなく確実かつ再現性良く低減させる、という目的が達成される。

【0032】

【発明の実施の形態】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0033】なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【0034】図1は本発明の技術が適用されたスイッチング電源回路の一実施態様を示す。

【0035】同図に示すスイッチング電源回路はアクティブクランプ方式（あるいはアクティブトランスクランプ／リセット方式）と呼ばれるものであって、トランス1、整流回路2、帰還回路3、PWM制御回路4、オン／オフ制御回路5、アクティブクランプ回路6、トランス回路7、最小値検出回路8、パワーMOSトランジスタM1などにより構成されている。

【0036】同図において、トランス1の一次巻線L1には、交流入力電源V_{in}（AC100V）を全波整流器D1と容量素子（電解コンデンサ）C1で整流および平滑して得られる直流電源が入力される。

【0037】トランス1の一次巻線電流はパワーMOSトランジスタM1により周期的にオン／オフ制御される。これにより、そのトランス1の二次巻線L2には交流の二次起電力が現れる。この二次起電力は整流回路2で直流変換（整流および平滑）されて外部へ出力される。このとき、その出力電圧V_{out}は、フォトカプラーを用いた帰還回路3を介してPWM制御回路4にフィードバックされる。

【0038】PWM制御回路4は、オン／オフ制御回路5を介してパワーMOSトランジスタM1をオン／オフ制御するためのパルス信号CKを生成するとともに、上記出力電圧V_{out}が所定の目標値となるようにそのパルス信号CKのデューティ比をフィードバック制御する。

【0039】オン／オフ制御回路5は、上記パルス信号CKと、後述する最小値検出回路8の検出出力とに基づいて、パワーMOSトランジスタM1のオン／オフ制御信号MSと、後述するクランプ制御信号ASを生成する。この場合、オン／オフ制御信号MSはMOSトランジスタM1のゲートに直接伝達される。クランプ制御信号ASは、入出力間を直流的に絶縁分離するトランス回路7を介して、アクティブクランプ回路6へ伝達される。

【0040】アクティブクランプ回路6は、トランス1の一次巻線L1にMOSトランジスタM2を介して容量

素子C1を接続させたものであり、上記クランプ制御信号ASによってトランジスタM2がオンさせられたときだけ、一次巻線L1に介入して一種の電圧クランプ動作（いわゆるトランス1のリセット）を行う。容量素子C2には、そのクランプ動作を行うに必要な容量と耐圧を有するものが使用される。

【0041】クランプ制御信号ASは、パワーMOSトランジスタM1のオン／オフ制御信号MSに対して、一定のオフセット期間（時間差）を持つように生成される。つまり、両者（M1とM2）が共にオフとなるオフセット期間（ t_r 、 t_s ）が置かれる。このオフセット期間のうち、クランプ制御信号ASが非能動レベル（ロウ）に立ち下がってオン／オフ制御信号ASが能動レベル（ハイ）立ち上がるまでの期間、すなわちクランプ動作の解除から一次巻線電流の再通電開始までのオン時オフセット期間（ t_s ）については、後述する最小値検出回路8の検出出力に基づいて制御される。

【0042】最小値検出回路8は、トランス1の一次巻線電流をオン／オフ制御するパワーMOSトランジスタM1のドレイン電圧（ドレイン・ソース間電圧）V_{ds}をモニターし、アクティブクランプ回路6によるクランプ動作解除後のドレイン電圧V_{ds}が最小値をとるタイミングを検出する。この検出は、たとえばドレイン電圧V_{ds}のレベル値またはその微分値を所定のしきい値と比較するレベル弁別により行うことができる。

【0043】この最小値検出回路8の検出出力に基づいて上記オン／オフ制御信号MSのオン時オフセット時間 t_s が可変制御されるようになっている。すなわち、クランプ動作解除後のドレイン電圧V_{ds}の最小値が上記最小値検出回路8にて検出された時点でパワーMOSトランジスタM1がオンさせられるようなタイミング制御が行われる。

【0044】図2は、図1に示した回路の要部における動作波形チャートを示す。

【0045】図1および図2において、一次巻線L1に直列に介在するMOSトランジスタM1と、アクティブクランプ回路6のMOSトランジスタM2は、両者（M1とM2）が共にオフとなるオフセット期間 t_r 、 t_s を置きながら、相補的にオン／オフ制御される。

【0046】一次巻線電流を制御するMOSトランジスタM1は、MSがロウでオフとなり、ハイでオンとなるように動作する。クランプ回路6のMOSトランジスタM2は、ASがハイでオンとなり、ロウでオフとなるように動作する。M1のオフからM2のオンまでの間に介在するオフ時オフセット時間 t_r はあらかじめ一定に定められているが、M2のオフからM1のオンまでのオン時オフセット時間 t_s は、後述するように、最小値検出回路8の検出出力に基づいてその都度決定される。

【0047】M2のオフによりアクティブクランプ回路6のクランプ動作が解除されると、MOSトランジスタ

M1のドレイン電圧 V_{ds} は、主に一次巻線L1のインダクタンスとMOSトランジスタM1のドレイン・ソース間寄生容量 C_s により定められる共振周波数で振動する。図中に波線で示す波形はその共振が持続した場合の波形を示す。

【0048】ここで、クランプ動作解除により振動を開始したドレイン電圧 V_{ds} が最初の極小点である最小値にくると、最小値検出回路8から最小値検出出力が発せられる。この最小値検出出力を受けてオン／オフ制御信号MSがロウからハイに立ち上がり、MOSトランジスタM1がオンさせられる。

【0049】このように、MOSトランジスタM1のドレイン電圧 V_{ds} が最小となるタイミングを検出し、アクティブクランプ回路6の動作終了ごとにその検出したタイミングに基づいて上記MOSトランジスタM1のオンタイミングを定める制御を行うことにより、そのMOSトランジスタM1を、上記共振周波数に関係なく、常に、上記ドレイン電圧 V_{ds} が最小となるタイミングでオンさせることができるようになる。

【0050】これにより、スイッチング電源回路でのスイッチング損失を、素子の特性バラツキや動作温度等の変動要因に影響されことなく確実に低減させるという目的が達成される。

【0051】図3は、上述したスイッチング電源回路の要部における詳細な実施態様を示す。

【0052】同図において、まず、整流回路2は、ダイオードD2、D3、チョークコイルL3、および平滑用容量素子C3を用いて、トランス1の二次巻線L2に現れる二次起電力を整流および平滑する。

【0053】オン／オフ制御回路5は、PWM制御回路4（図1参照）にてデューティ制御されるパルス信号CKを同相パルス信号CK+と逆相パルス信号CK-に振り分けて出力する位相分割回路51、セット／リセット型フリップフロップ53、ANDゲート52、54、バッファ回路55、およびオフ時オフセット時間 t_r を設定する遅延回路56により構成され、上記パルス信号CK+、CK-と最小値検出回路8の検出出力とに基づいてオン／オフ制御信号MSとクランプ制御信号ASを生成する。

【0054】トランス回路7は、バッファ回路71、トランス72、容量素子C4、C5、抵抗R1、R2、定電圧ダイオード（ツェナーダイオード）Z1を用いて構成され、オン／オフ制御回路5にて生成されたクランプ制御信号ASをアクティブクランプ回路6のMOSトランジスタM2のゲートへ伝達する。このとき、その伝達は、トランス72が介在することにより、MOSトランジスタM2とオン／オフ制御回路5間を直流的に絶縁分離した状態で行われる。

【0055】最小値検出回路8は、容量素子C6と抵抗R2でMOSトランジスタM1のドレイン電圧 V_{ds} を

微分する微分回路81、ダイオードD4、D5を逆極性同士で並列接続してなる両極性電圧クランプ回路82、微分回路81の出力電圧 $d v d$ を所定のしきい値 V_{sh} と比較する電圧比較器83により構成され、微分回路81の出力 $d v d$ が上記しきい値 V_{sh} を越える瞬間（タイミング）を検出する。この場合、上記しきい値 V_{sh} はゼロレベルに近い一定値（たとえば0.2V）に設定されている。これにより、最小値検出回路8は、M2のドレイン電圧 V_{ds} が下降から上昇に転じた直後のタイミングすなわち V_{ds} が極小となった直後のタイミングを検出する。

【0056】図4は、図3に示した回路の要部動作波形チャートを示す。

【0057】図3および図4において、MOSトランジスタM1がオンからオフになると、一定のオフ時オフセット時間 t_r を置いてアクティブクランプ回路6のMOSトランジスタM2がオフからオンになる。これにより、トランス1は、その一次巻線L2に容量素子C2が並列に介入してアクティブクランプ状態となる。

【0058】このあと、MOSトランジスタM2がオフに復帰してトランス1のクランプ状態が解除されると、MOSトランジスタM1のドレイン電圧 V_{ds} は、そのトランス1の一次巻線L1のインダクタンスとMOSトランジスタM1の寄生容量 C_s などにより生じる電圧共振によって大きく振動する。

【0059】この電圧共振は減衰振動であって、クランプ解除後の最初の極小点が最小点となる。したがって、M2がオフになった後に、上記最小値検出回路8が検出する極小点は最小点となる。これにより、上記最小値検出回路8は、クランプ解除後に電圧共振するドレイン電圧 V_{ds} が最小値となるようなタイミングを簡単かつ確実に検出することができる。この最小値検出出力は上記オン／オフ制御回路5へ送られ、そこでM1のオンタイミング制御に使用される。

【0060】以上説明したように、本願発明の第1の発明は、トランス（1）の一次巻線電流をスイッチング素子（M1）で周期的にオン／オフ制御することによりそのトランスの二次巻線（L2）から出力電流を得るスイッチング電源回路であって、上記スイッチング素子のオフ期間ごとに動作して上記一次巻線の電圧クランプを行うアクティブクランプ回路（6）と、上記スイッチング素子の印加電圧（ V_{ds} ）が最小となるタイミングを検出するタイミング検出手段（8）と、上記アクティブクランプ回路の動作終了ごとに上記タイミング検出手段の検出に基づいて上記スイッチング素子のオンタイミングを定める制御手段（5）を備えたことを特徴とするものであり、これにより、スイッチング損失を素子の特性バラツキや動作温度等の変動要因に影響されことなく確実に低減させるなどの効果が得られる。

【0061】本発明の第2の発明は、上記第1の発明に

において、スイッチング素子(M1)への印加電圧(V_{ds})の変化を検出する微分回路(81)と、この微分回路の出力(dV_d)が所定レベルを越える瞬間を検出するレベル検出回路(83)により、スイッチング素子の印加電圧が最小となるタイミングを検出するタイミング検出手段を構成したことを特徴とするものであり、これにより、アクティブクランプの解除後における上記印加電圧(V_{ds})の最小値を簡単かつ確実に検出することができるようになる。

【0062】本発明の第3の発明は、トランス(1)の一次巻線電流を制御するスイッチング素子としてMOSトランジスタ(M1)を用いたことを特徴とするものであり、これにより、スイッチング素子の駆動に要する消費電力を低減させることができるため、スイッチング損失の低減効果と相俟って回路全体の電力効率向上を有効に達成することができる。

【0063】本発明の第4の発明は、トランス(1)の一次巻線(L1)にMOSトランジスタ(M2)を介して容量素子(C2)を接続することにより、そのMOSトランジスタがオン状態のときだけ選択的に動作するアクティブクランプ回路(6)を構成したことを特徴とするものであり、これにより、一次巻線の電圧クランプ動作は、その一次巻線に生じる誘導起電力を容量素子に充電して保存する一種の電力再生の形で行われるようになり、したがって回路全体の電力効率をさらに向上させることができる。

【0064】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0065】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるAC-DC(交流-直流)変換型のスイッチング電源回路に適用した場合について説明したが、それに限定されるものではなく、たとえばAC-DCあるいはDC-AC変換型の電源回路にも適用できる。

【0066】

【発明の効果】本願において開示される発明のうち、代表的なものの効果を簡単に説明すれば、下記のとおりである。

【0067】すなわち、スイッチング電源回路でのスイッチング損失を、素子の特性バラツキや動作温度等の変動要因に影響されることなく確実かつ再現性良く低減させるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の技術が適用されたスイッチング電源回路の一実施態様を示す回路図

【図2】図1に示した回路の要部動作波形チャート

【図3】図1に示した回路の要部における詳細な実施態様を示す回路図

【図4】図3に示した回路の要部動作波形チャート

【図5】本発明に先立って検討したスイッチング電源回路の概略構成を示す回路図

【図6】図5に示した回路の要部における動作波形チャート

【図7】図5に示した回路の問題点を説明するための動作波形チャート

【符号の説明】

1 トランス

L1 一次巻線

L2 二次巻線

M1 パワーMOSトランジスタ(スイッチング素子)

V_{ds} ドレイン電圧(印加電圧)

2 整流回路

3 帰還回路(フォトカプラ)

4 PWM制御回路

5 オン/オフ制御回路

6 アクティブクランプ回路

C2 容量素子

M2 MOSトランジスタ(スイッチング素子)

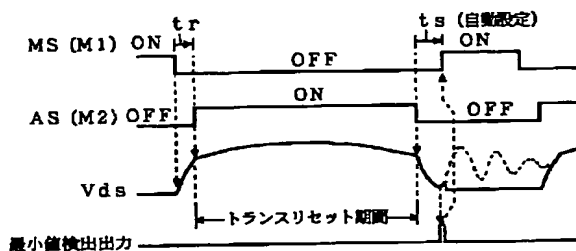
7 トランス回路

8 最小値検出回路

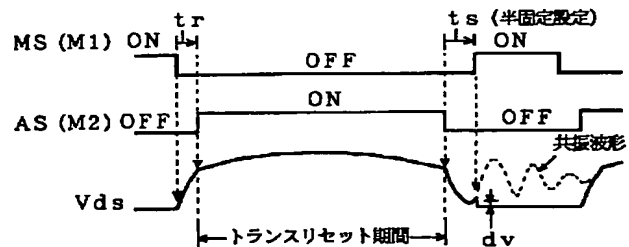
81 微分回路

83 電圧比較器(レベル検出回路)

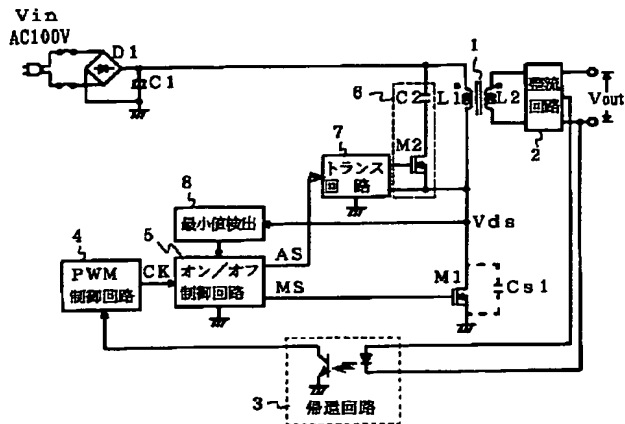
【図2】



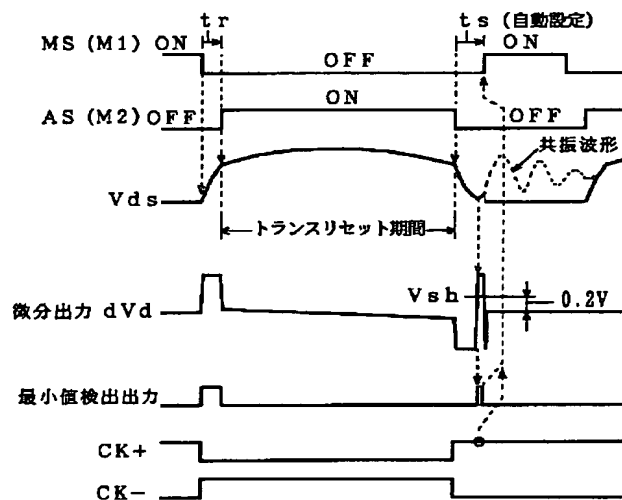
【図6】



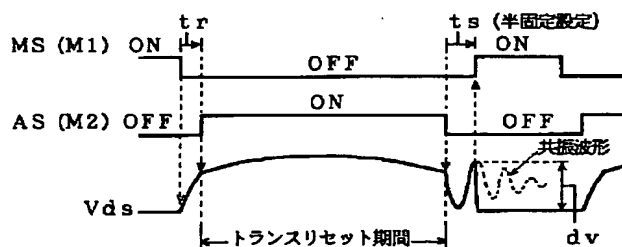
【図1】



【図4】



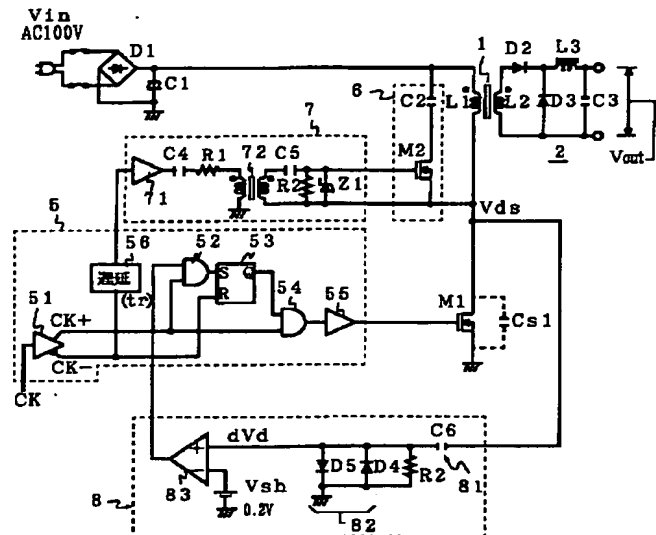
【図7】



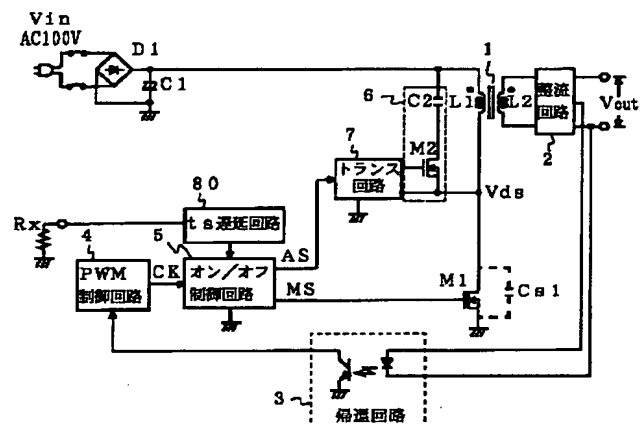
フロントページの続き

(72)発明者 嵯峨 良平
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

【図3】



【図5】



(72)発明者 横田 健一
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

(72) 発明者 三田 芳久

埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

F ターム (参考) 5H730 AA14 BB23 CC01 DD04 EE08
EE10 FD26 FF19 FG05